

产品简介

ZDH2208 是一个 7 位数字阶梯衰减器 (DSA)，并针对 CATV 和卫星系统的苛刻要求进行了优化，其工作频率范围为 5MHz~3000MHz。

ZD2208 提供了串行和并行数字控制接口。

ZDH2208 采用标准 QFN4x4 24PIN 封装，具有低成本、高可靠性等特点，内部匹配 75Ω 阻抗。

典型应用场景

- CATV 应用
- CATV 前端应用
- DTV 调谐器输入选择
- DVR/PVR/机顶盒
- CATV 测试设备

极限额度最大值

参数	数值
存储温度	-65°C~+150°C
工作温度	-55°C~+125°C
极限电压 (VDD)	+6V
最大输入功率 (RFIN)	+30dBm

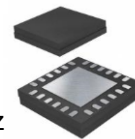
串/并行控制逻辑


P/S 状态	High	Low
	串行接口	并行接口

注：处于并行模式时，CLK、SI 需接地。

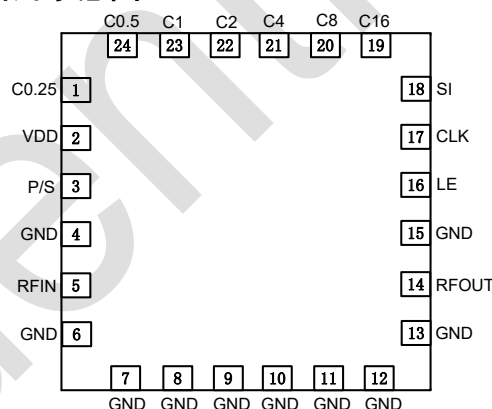
产品特点

- 典型工作电压 3.3V
- 低插损：1.4dB @ 1500MHz
- 衰减范围可达 31.75dB @ 0.25/0.5/1.0dB steps
- 典型 P1dB：30dBm @ 1500MHz
- 可切换串/并行接口模式
- 绿色无铅 24 脚 QFN4x4 封装



 本产品符合所有相关法规且不含卤素。

管脚示意图



PIN No.	管脚名称	说明
1	C0.25	0.25dB 并行控制位
2	VDD	电源电压
3	P/S	串行/并行模式选择
4,6,7-13,15	GND	接地
5	RFIN	射频输入
14	RFOUT	射频输出
16	LE	串行锁存启用输入
17	CLK	串行时钟输入
18	SI	串行数据输入
19	C16	16dB 并行控制位
20	C8	8dB 并行控制位
21	C4	4dB 并行控制位
22	C2	2dB 并行控制位
23	C1	1dB 并行控制位
24	C0.5	0.5dB 并行控制位
25	EPAD	底部接地

电气参数

测试条件: VDD=+3.3 V, Temp= +25°C, 5MHz~3000MHz 应用电路, 75Ω 测试系统。

参数	条件	最小值	典型值	最大值	单位	
Insertion Loss	200MHz	-	1.0	-	dB	
	500MHz		1.4			
	1500MHz		1.7			
	3000MHz		2.6			
Attenuation Range	0.25dB step	-	31.75	-	dB	
	0.5dB step		31.50			
	1dB step		31.00			
Attenuation Accuracy	0.25dB step					
	200MHz	-	± 0.14+2.3%	-	dB	
	500MHz		± 0.15+2.6%			
	1500MHz		± 0.25+4.6%			
	3000MHz		± 0.35+4.7%			
	0.5dB step					
	200MHz	-	± 0.15+2.5%	-	dB	
	500MHz		± 0.25+2.7%			
	1500MHz		± 0.35+4.5%			
	3000MHz		± 0.45+4.7%			
	1dB step					
	200MHz	-	± 0.15+2.6%	-	dB	
	500MHz		± 0.35+2.7%			
	1500MHz		± 0.65+4.5%			
	3000MHz		± 1.10+9.0%			
	Return Loss	5MHz~3000MHz	-	14	-	dB
P1dB	1500MHz	-	29	-	dBm	
IIP3	Pin=18dBm/tone	-	50	-	dBm	
2 nd Harmonic	Pout=15dBm	-	108	-	dBc	
3 rd Harmonic	Pout=15dBm	-	100	-	dBc	
Delay	-	-	5	10	ns	
Switching Time	50% Ctrl to 90% RF	-	80	110	ns	
	50% Ctrl to 10% RF	-	80	100		
Control Voltage	High	1.1	-	VDD	V	
	Low	-0.3		0.6		
DC Current	VDD=3.3V	-	230	330	uA	



控制逻辑

并行模式接口

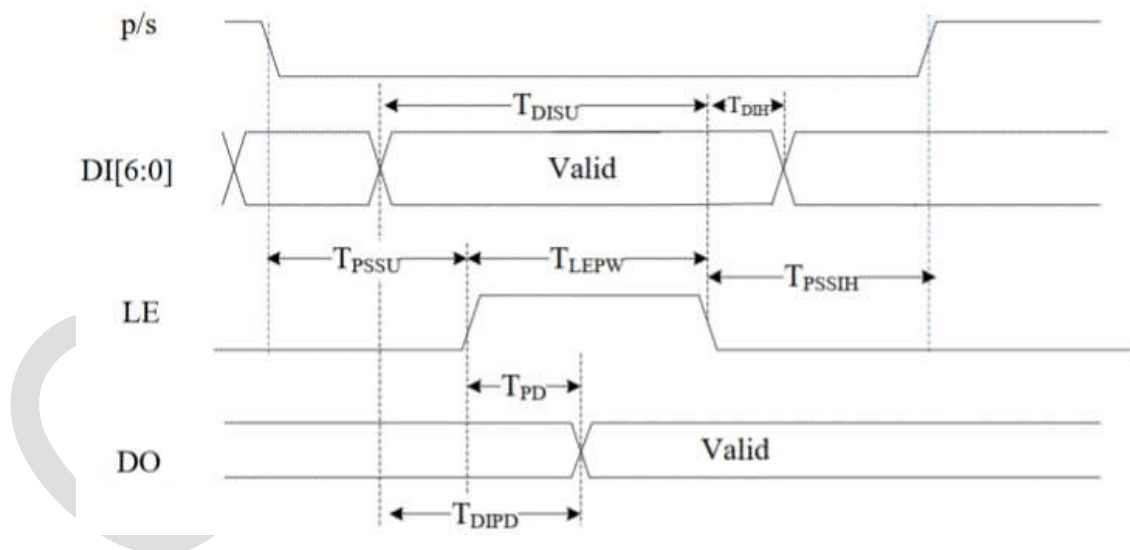
1. 锁存并行接口模式，在改变衰减状态控制值时，LE (PIN16) 应为低电平，然后将 LE 高电平脉冲转换为低电平，将新的衰减状态锁存到器件中；

2. 直接并行编程，应将 LE 线路拉高。改变衰减状态控制值将把设备状态改变为新的衰减状态。直接模式适合手动控制设备（使用硬线、开关或跳线）。

注：处于并行模式接口时，CLK 和 SI 应连接到地。

并行模式衰减真值表

并行控制位设置							衰减值
C16	C8	C4	C2	C1	C0.5	C0.25	
L	L	L	L	L	L	L	Reference IL
L	L	L	L	L	L	H	0.25dB
L	L	L	L	L	H	L	0.5dB
L	L	L	L	H	L	L	1dB
L	L	L	H	L	L	L	2dB
L	L	H	L	L	L	L	4dB
L	H	L	L	L	L	L	8dB
H	L	L	L	L	L	L	16dB
H	H	H	H	H	H	H	31.75dB



并行模式时序图

控制逻辑

串行模式接口

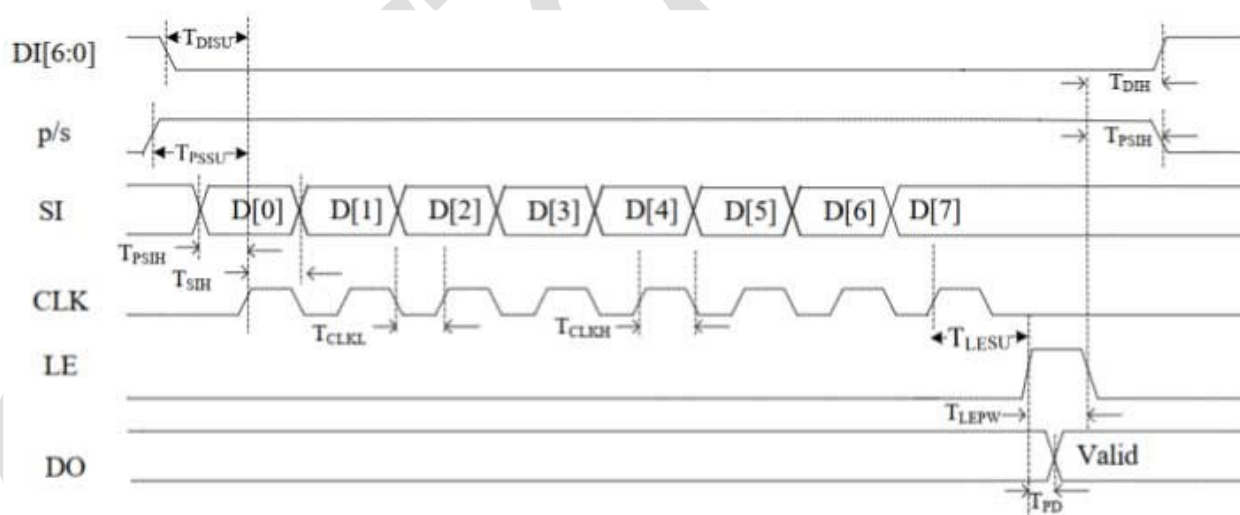
串行接口是一个由透明锁存器缓冲的 8 位串行输入、并行输出移位寄存器。串行接口由三个 CMOS 兼容信号控制：SI、时钟 (CLK) 和 LE。SI 和 CLK 输入允许将数据串行输入移位寄存器。串行数据以 LSB 为先。

移位寄存器加载时 LE 必须保持在低电平，以防止衰减器值在输入数据时发生变化。然后，LE 输入切换为高电平，并再次变为低电平，将新数据锁存到 DSA 中。

注：在串行模式下使用 DSA 时，所有并行控制输入必须接地。

串行模式衰减真值表

串行控制位设置								衰减值
D7	D6	D5	D4	D3	D2	D1	D0	
L	L	L	L	L	L	L	L	Reference IL
L	L	L	L	L	L	L	H	0.25dB
L	L	L	L	L	L	H	L	0.5dB
L	L	L	L	L	H	L	L	1dB
L	L	L	L	H	L	L	L	2dB
L	L	L	H	L	L	L	L	4dB
L	L	H	L	L	L	L	L	8dB
L	H	L	L	L	L	L	L	16dB
L	H	H	H	H	H	H	H	31.75dB



串行模式时序图



并行模式特性表

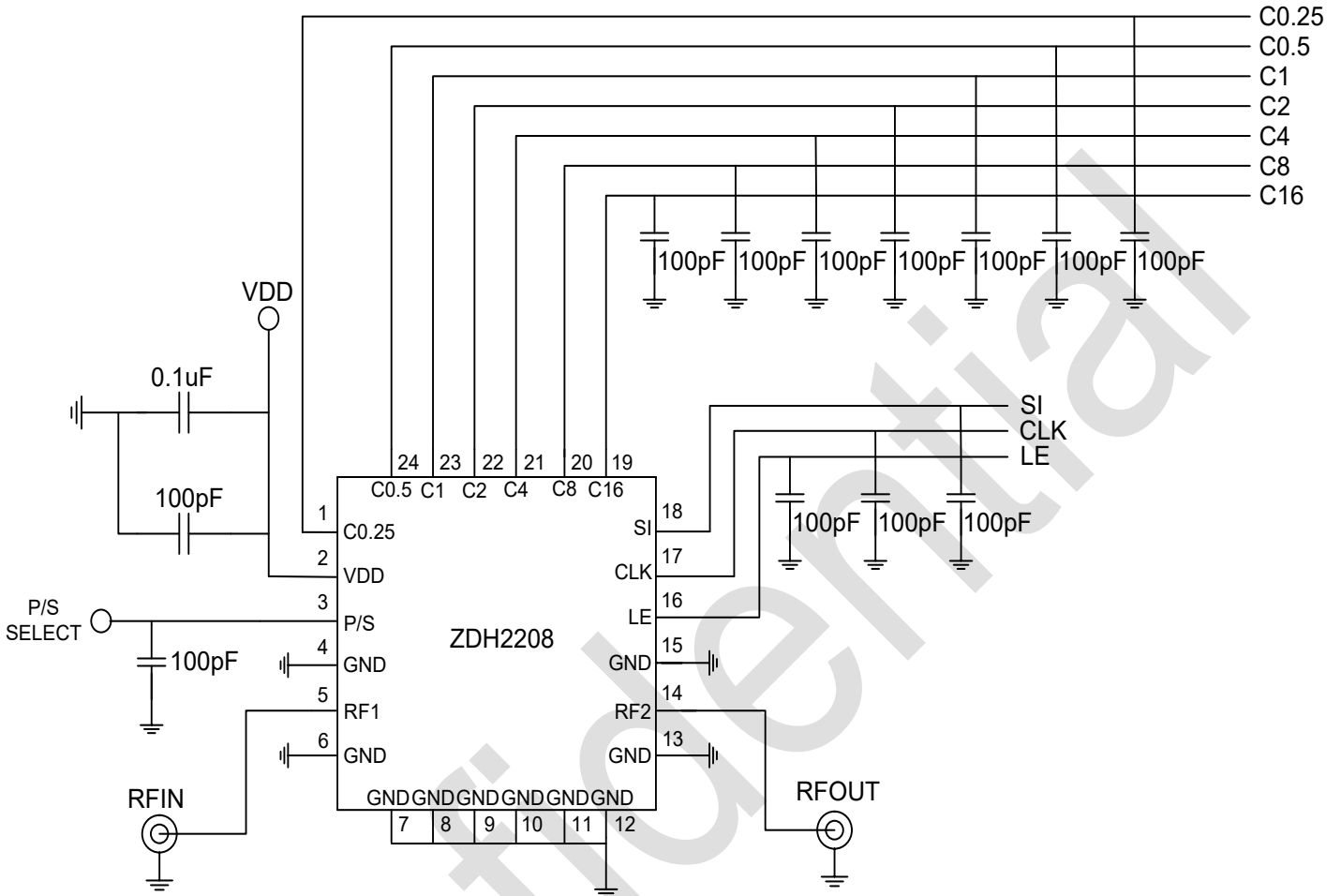
Parameter	Min.	Max	Unit
Latch Enable minimum pulse width, TLEPW	30	-	ns
Parallel data hold time, TDIH	100	-	ns
Parallel data setup time, TDISU	100	-	ns
Parallel / Serial setup time, TPSSU	100	-	ns
Parallel / Serial hold time, TPSIH	100	-	ns
Digital register delay time, TPD	-	10	ns
Digital register delay time (direct mode), TDIPD	-	5	ns

串行模式特性表

Parameter	Min.	Max	Unit
Latch Enable minimum pulse width, TLEPW	30	-	ns
Serial clock frequency, FCLK	-	10	MHz
Serial clock HIGH time, TCLKH	30	-	ns
Serial clock LOW time, TCLKL	30	-	ns
Last Serial clock rising edge setup time to LE rising edge, TLESU	10	-	ns
Serial data hold time, TSIH	10	-	ns
Serial data setup time, TSI SU	10	-	ns
Parallel data hold time, TDIH	100	-	ns
Parallel data setup time, TDISU	100	-	ns
Parallel / Serial setup time, TPSSU	100	-	ns
Parallel / Serial hold time, TPSIH	100	-	ns
Digital register delay time, TPD	-	10	ns

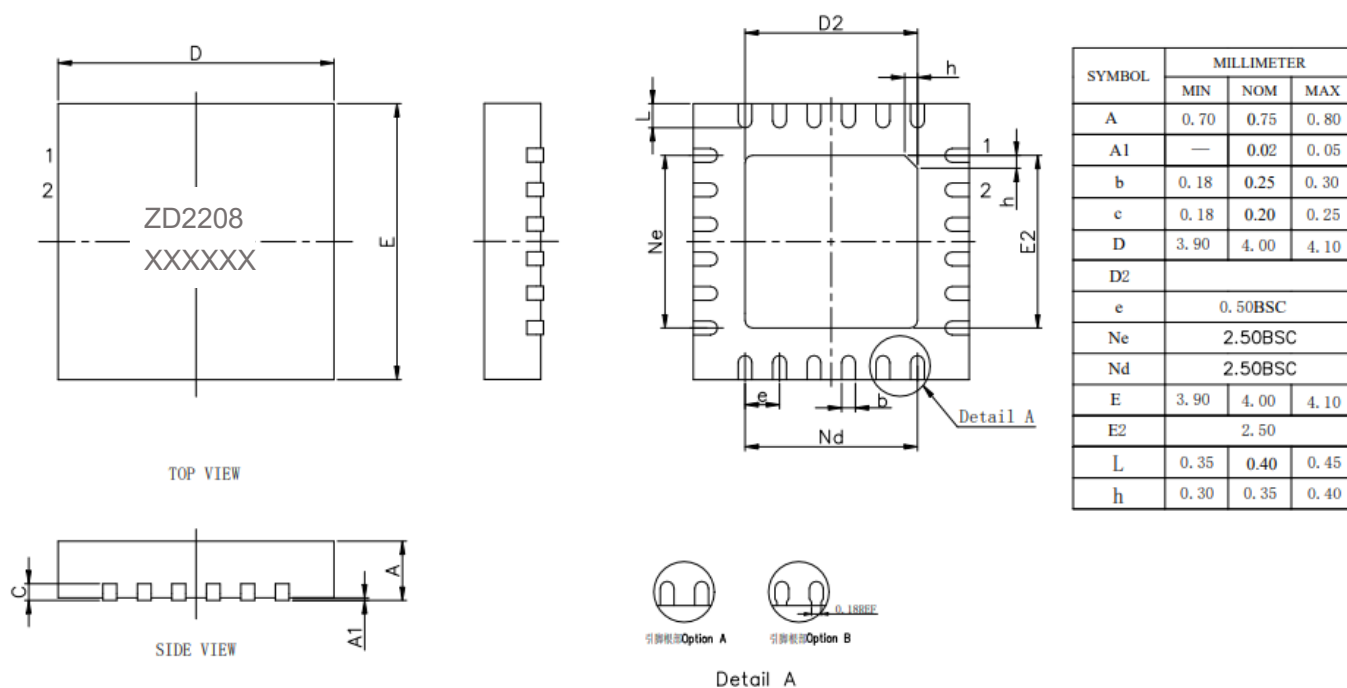


应用电路 (5MHz~3000MHz)





封装尺寸示意图



订单信息

型号	丝印	封装
ZDH2208	ZDH2208	QFN4x4-24